

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP9237131
Publication date: 1997-09-09
Inventor(s): INAGAKI YASUKUNI
Applicant(s): FUJITSU LTD;; FUJITSU VLSI LTD
Requested Patent: ☐ JP9237131
Application Number: JP19960046103 19960304
Priority Number(s):
IPC Classification: G06F1/04; G06F15/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device whereby the operation of an unrequired peripheral circuit is stopped and low power consumption is attained.
SOLUTION: CPU 2 of a semiconductor integrated circuit device 1 is operated based on a main clock signal CLK which is generated by a main clock generating circuit 3 and the peripheral circuits 4a-4c are selected and accessed with an internal bus 5 at times. The access detecting circuit parts 6 of the peripheral circuits 4a-4c generate an enable signal CEN and output it when an address signal ADR corresponding to an address which is set at every peripheral circuit is inputted from CPU 2. Clock control circuit parts 7 input the main clock signal CLK and the enable signal CEN from the access detecting circuit parts 6 and supply the main clock signal CLK to an internal circuit 8 as an internal clock signal SCLK for a period being sufficient for the operation of the internal circuit 8 based on the enable signal CEN.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237131

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 1/04	3 0 1		G 0 6 F 1/04	3 0 1 C
15/78	5 1 0		15/78	5 1 0 D

審査請求 未請求 請求項の数7 OL (全 13 頁)

(21) 出願番号 特願平8-46103

(22) 出願日 平成8年(1996)3月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 稲垣 靖訓

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

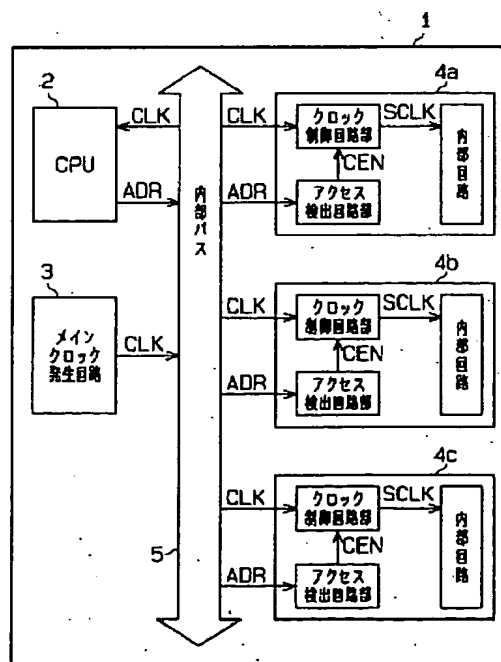
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 不要な周辺回路の動作を停止させて低消費電力化を図ることができる半導体装置を提供する。

【解決手段】 半導体集積回路装置1のCPU2は、メインクロック発生回路3により生成されるメインクロック信号CLKに基づいて動作し、内部バス5を介してその時々々に周辺回路4a~4cを選択しアクセスする。周辺回路4a~4cのアクセス検出回路部6は、CPU2から各周辺回路4a~4c毎に設定されたアドレスに対応したアドレス信号ADRを入力すると、イネーブル信号CENを生成し出力する。クロック制御回路部7は、メインクロック信号CLKと、アクセス検出回路部6からイネーブル信号CENを入力し、そのイネーブル信号CENに基づいてメインクロック信号CLKを内部回路8に対して該内部回路8の動作に十分な期間だけ内部クロック信号SCLKとして供給する。

本発明の回路説明図



【特許請求の範囲】

【請求項 1】 外部からメインクロック信号を入力し、外部からのアクセスに応答して前記メインクロック信号に基づいて動作する複数の周辺回路を備えた半導体集積回路装置において、

前記複数の周辺回路には、外部からのアクセスを検出し、アクセスがあった場合にクロックイネーブル信号を出力するアクセス検出回路と、

前記クロックイネーブル信号とメインクロック信号を入力し、前記クロック信号を内部回路に対して前記クロックイネーブル信号を入力してから該内部回路の動作に十分な期間だけ供給するクロック制御回路とをそれぞれ備えた半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、

前記クロック信号を入力し、そのクロック信号に基づいて所定時間間隔のインターバルクロック信号を複数生成し出力するインターバルクロック生成回路を備え、前記クロック制御回路は、前記複数のインターバルクロック信号を入力し、それら複数のインターバルクロック信号のうちの 1 つを選択し、その選択したインターバルクロック信号に基づいて前記クロックイネーブル信号を入力してから前記内部回路の動作に十分な期間を計測し、その期間だけ前記内部回路に対して前記メインクロック信号を供給するようにした半導体集積回路装置。

【請求項 3】 請求項 2 に記載の半導体集積回路装置において、

前記クロック制御回路は、前記複数のインターバルクロック信号のうちの 1 つを選択する選択部と、

前記選択部により選択されたインターバルクロック信号の立ち上がり又は立ち下がりエッジを所定数カウントするカウント部と、

前記クロックイネーブル信号と前記メインクロック信号を入力し、クロックイネーブル信号を入力してから前記カウント部がカウントしている間、メインクロック信号を内部回路に供給する制御部とから構成された半導体集積回路装置。

【請求項 4】 請求項 2 又は 3 に記載の半導体集積回路装置において、

前記各周辺回路には、それぞれ制御レジスタが備えられ、前記クロック制御回路部は、前記制御レジスタに記憶されたデータに基づいて前記インターバルクロックのうちの 1 つを選択するようにした半導体集積回路装置。

【請求項 5】 請求項 1 乃至 4 のうちのいずれか 1 項に記載の半導体集積回路装置において、

前記メインクロック信号に基づいてその時々前記複数の周辺回路のうちの 1 つを選択し、その選択した周辺回路をアクセスするためのアドレス信号と、リード信号又

はライト信号を出力する CPU を備え、前記アクセス検出回路は、入力されるアドレス信号とリード信号又はライト信号とに基づいてそのアクセス検出回路が備えられた周辺回路のアクセスを検出するようにした半導体集積回路装置。

【請求項 6】 請求項 1 に記載の半導体集積回路装置において、

前記周辺回路はシリアルデータを送信するためのシリアル通信用周辺回路であって、

前記シリアルデータを送信するとともに、そのシリアルデータの送信終了時に送信終了信号を出力するシリアルデータ送信回路部と、

前記シリアルデータ送信回路部を動作させるための送信クロック信号を作成する送信クロック信号作成回路部とを備え、

前記クロック制御回路部は、前記クロックイネーブル信号を入力してから送信終了信号を入力するまでメインクロック信号を前記送信クロック信号作成回路部に供給するようにした半導体集積回路装置。

【請求項 7】 請求項 1 に記載の半導体集積回路装置において、

前記周辺回路はシリアルデータを受信するためのシリアル通信用周辺回路であって、

外部からのアクセスとしてシリアルデータの受信開始を検出し、受信開始信号をクロックイネーブル信号として出力するアクセス検出回路部と、

前記シリアルデータを受信するとともに、そのシリアルデータの受信終了時に受信終了信号を出力するシリアルデータ受信回路部と、

前記メインクロック信号に基づいてシリアルデータ受信回路部を動作させるための受信クロック信号を生成し供給する受信クロック信号作成回路部とを備え、

前記クロック制御回路部は、前記受信開始信号を入力してから前記受信終了信号を入力するまで前記メインクロック信号を受信クロック信号作成回路部に供給するようにした半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に係り、詳しくはマイクロコントローラ等に内蔵される周辺回路の消費電力低減に関するものである。

【0002】近年のマイクロコントローラにおいては、そのチップ内にカウンタやシリアル通信等の複数の周辺回路が内蔵されている。また、マイクロコントローラは、携帯機器等への搭載のため、消費電力の低減が図られている。そのため、その時の動作に不要な周辺回路へのクロック供給を停止して全体の消費電力の低減を図る必要がある。

【0003】

【従来の技術】図 11 は、マイクロコントローラ 81 の

概略ブロック回路図である。マイクロコントローラ 81 は、そのチップ内に CPU 82 の他、カウンタ等の複数の周辺回路 83 a ~ 83 c を備えている。CPU 82 は、メインクロック発生回路 84 により生成されたメインクロック信号 CLK に基づいて、図示しない ROM 等に記憶されたプログラムに従って周辺回路 83 a ~ 83 c を制御する。

【0004】また、マイクロコントローラ 81 には、クロック供給制御回路 85 が設けられている。クロック供給制御回路 85 は、メインクロック信号 CLK を入力し、各周辺回路 83 a ~ 83 c に対して、それら周辺回路 83 a ~ 83 c が必要とするクロック信号 CK1 ~ CK3 を生成し、各周辺回路 83 a ~ 83 c に供給する。各周辺回路 83 a ~ 83 c は、クロック信号 CK1 ~ CK3 が供給されると動作し、クロック信号 CK1 ~ CK3 が供給されない場合は動作を停止する。

【0005】そして、CPU 82 は、クロック供給制御回路 85 を制御して、プログラムに従って必要となる周辺回路（例えば周辺回路 83 a）に対してクロック信号 CK1 を供給し、他の周辺回路 83 b、83 c に対してクロック信号 CK2、CK3 を供給しない。クロック信号 CK2、CK3 が供給されない周辺回路 83 b、83 c は、それぞれ動作を停止する。

【0006】即ち、CPU 82 は、プログラムに従ってその時に必要となる周辺回路 83 a だけを動作させ、不要な周辺回路 83 b、83 c の動作を停止させる。この構成によって、その時に動作しない周辺回路の分だけ消費電力を低減することができるわけである。

【0007】

【発明が解決しようとする課題】ところが、プログラムによる制御では、必要となる毎にクロック供給制御回路 85 を制御する分だけ CPU 82 の処理が遅くなるので、CPU 82 の処理能力が低下する。CPU 82 の処理能力の低下を抑えるためには、クロック周波数を高くして CPU 82 を高速に動作させればよいが、クロック周波数を高くすることでかえって消費電力を増大させてしまうという問題がある。

【0008】本発明は上記問題点を解決するためになされたものであって、その目的は自動でクロックの供給を開始・停止することで消費電力を低減することのできる半導体集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】図 1 は本発明の原理説明図である。半導体集積回路装置 1 は、CPU 2、メインクロック発生回路 3、及び、複数の周辺回路 4 a ~ 4 c を備え、それらは内部バス 5 を介して接続されている。CPU 2 は、メインクロック発生回路 3 により生成されるメインクロック信号 CLK に基づいて動作し、内部バス 5 を介してその時々々に周辺回路 4 a ~ 4 c を選択しアクセスする。周辺回路 4 a ~ 4 c には、それぞれアクセ

ス検出回路部 6、クロック制御回路部 7、及び、内部回路 8 を備えている。アクセス検出回路部 6 は、CPU 2 から各周辺回路 4 a ~ 4 c 毎に設定されたアドレスに対応したアドレス信号 ADDR を入力すると、イネーブル信号 CEN を生成し出力する。クロック制御回路部 7 は、メインクロック信号 CLK と、アクセス検出回路部 6 からイネーブル信号 CEN を入力し、そのイネーブル信号 CEN に基づいてメインクロック信号 CLK を内部回路 8 に対して該内部回路 8 の動作に十分な期間だけ内部クロック信号 SCLK として供給する。

【0010】また、請求項 2 に記載の発明は、請求項 1 に記載の半導体集積回路装置において、前記クロック信号を入力し、そのクロック信号に基づいて所定時間間隔のインターバルクロック信号を複数生成し出力するインターバルクロック生成回路を備え、前記クロック制御回路は、前記複数のインターバルクロック信号を入力し、それら複数のインターバルクロック信号のうちの 1 つを選択し、その選択したインターバルクロック信号に基づいて前記クロックイネーブル信号を入力してから前記内部回路の動作に十分な期間を計測し、その期間だけ前記内部回路に対して前記メインクロック信号を供給するようにしたことを要旨とする。

【0011】請求項 3 に記載の発明は、請求項 2 に記載の半導体集積回路装置において、前記クロック制御回路は、前記複数のインターバルクロック信号のうちの 1 つを選択する選択部と、前記選択部により選択されたインターバルクロック信号の立ち上がり又は立ち下がりエッジを所定数カウントするカウント部と、前記クロックイネーブル信号と前記メインクロック信号を入力し、クロックイネーブル信号を入力してから前記カウント部がカウントしている間、メインクロック信号を内部回路に供給する制御部とから構成されたことを要旨とする。

【0012】請求項 4 に記載の発明は、請求項 2 又は 3 に記載の半導体集積回路装置において、前記各周辺回路には、それぞれ制御レジスタが備えられ、前記クロック制御回路部は、前記制御レジスタに記憶されたデータに基づいて前記インターバルクロックのうちの 1 つを選択するようにしたことを要旨とする。

【0013】請求項 5 に記載の発明は、請求項 1 乃至 4 のうちのいずれか 1 項に記載の半導体集積回路装置において、前記メインクロック信号に基づいてその時々々に前記複数の周辺回路のうちの 1 つを選択し、その選択した周辺回路をアクセスするためのアドレス信号と、リード信号又はライト信号を出力する CPU を備え、前記アクセス検出回路は、入力されるアドレス信号とリード信号又はライト信号とに基づいてそのアクセス検出回路が備えられた周辺回路のアクセスを検出するようにしたことを要旨とする。

【0014】請求項 6 に記載の発明は、請求項 1 に記載の半導体集積回路装置において、前記周辺回路はシリア

ルデータを送信するためのシリアル通信用周辺回路であって、前記シリアルデータを送信するとともに、そのシリアルデータの送信終了時に送信終了信号を出力するシリアルデータ送信回路部と、前記シリアルデータ送信回路部を動作させるための送信クロック信号を作成する送信クロック信号作成回路部とを備え、前記クロック制御回路部は、前記クロックイネーブル信号を入力してから送信終了信号を入力するまでメインクロック信号を前記送信クロック信号作成回路部に供給するようにしたことを要旨とする。

【0015】請求項7に記載の発明は、請求項1に記載の半導体集積回路装置において、前記周辺回路はシリアルデータを受信するためのシリアル通信用周辺回路であって、外部からのアクセスとしてシリアルデータの受信開始を検出し、受信開始信号をクロックイネーブル信号として出力するアクセス検出回路部と、前記シリアルデータを受信するとともに、そのシリアルデータの受信終了時に受信終了信号を出力するシリアルデータ受信回路部と、前記メインクロック信号に基づいてシリアルデータ受信回路部を動作させるための受信クロック信号を生成し供給する受信クロック信号作成回路部とを備え、前記クロック制御回路部は、前記受信開始信号を入力してから前記受信終了信号を入力するまで前記メインクロック信号を受信クロック信号作成回路部に供給するようにしたことを要旨とする。

【0016】(作用) 従って、本発明によれば、各周辺回路4a~4cの内部回路8には、その内部回路8の動作に十分な期間だけメインクロック信号CLKが内部クロック信号SCLKとして供給される。従って、内部回路8は、内部クロック信号SCLKの供給が停止されている間、動作を停止する。

【0017】また、請求項2に記載の発明によれば、クロック信号を入力し、そのクロック信号に基づいて所定時間間隔のインターバルクロック信号を複数生成し出力するインターバルクロック生成回路が備えられ、クロック制御回路には、複数のインターバルクロック信号が入力され、それら複数のインターバルクロック信号のうちの1つが選択され、その選択されたインターバルクロック信号に基づいてクロックイネーブル信号が入力されてから内部回路の動作に十分な期間が計測され、その期間だけ内部回路に対してメインクロック信号が供給される。

【0018】請求項3に記載の発明によれば、クロック制御回路は、複数のインターバルクロック信号のうちの1つを選択する選択部と、選択部により選択されたインターバルクロック信号の立ち上がり又は立ち下がりエッジを所定数カウントするカウント部と、クロックイネーブル信号とメインクロック信号を入力し、クロックイネーブル信号を入力してからカウント部がカウントしている間、メインクロック信号を内部回路に供給する制御部

とから構成される。

【0019】請求項4に記載の発明によれば、各周辺回路には、それぞれ制御レジスタが備えられ、クロック制御回路部は、制御レジスタに記憶されたデータに基づいてインターバルクロックのうちの1つが選択される。

【0020】請求項5に記載の発明によれば、メインクロック信号に基づいてその時々複数の周辺回路のうちの1つを選択し、その選択した周辺回路をアクセスするためのアドレス信号と、リード信号又はライト信号を出力するCPUが備えられ、アクセス検出回路は、入力されるアドレス信号とリード信号又はライト信号とに基づいてそのアクセス検出回路が備えられた周辺回路のアクセスを検出する。

【0021】請求項6に記載の発明によれば、周辺回路はシリアルデータを送信するためのシリアル通信用周辺回路であって、シリアルデータを送信するとともに、そのシリアルデータの送信終了時に送信終了信号を出力するシリアルデータ送信回路部と、シリアルデータ送信回路部を動作させるための送信クロック信号を作成する送信クロック信号作成回路部とを備え、クロック制御回路部は、クロックイネーブル信号を入力してから送信終了信号を入力するまでメインクロック信号を送信クロック信号作成回路部に供給される。

【0022】請求項7に記載の発明によれば、周辺回路はシリアルデータを受信するためのシリアル通信用周辺回路であって、外部からのアクセスとしてシリアルデータの受信開始を検出し、受信開始信号をクロックイネーブル信号として出力するアクセス検出回路部と、シリアルデータを受信するとともに、そのシリアルデータの受信終了時に受信終了信号を出力するシリアルデータ受信回路部と、メインクロック信号に基づいてシリアルデータ受信回路部を動作させるための受信クロック信号を生成し供給する受信クロック信号作成回路部とを備え、クロック制御回路部は、受信開始信号を入力してから受信終了信号を入力するまでメインクロック信号を受信クロック信号作成回路部に供給される。

【0023】

【発明の実施の形態】

(第1の実施の形態) 以下、本発明を具体化した第1の実施の形態を図2~図5に従って説明する。

【0024】図2は、マイクロコントローラ11の概略構成図である。マイクロコントローラ11は、中央演算処理回路(CPU)12、複数(本実施の形態では3つ)の周辺回路13a~13c、メインクロック発生回路14、及び、タイムベースタイマ15を備えている。CPU12、周辺回路13a~13c、メインクロック発生回路14、及びタイムベースタイマ15は、内部バス16に接続され、その内部バス16を介してデータの授受等を行う。

【0025】メインクロック発生回路14は、マイクロ

コントローラ 11 に供給される駆動電源に基づいて発振し、メインクロック信号 CLK を発生させるためのものである。そのメインクロック信号 CLK は、内部バス 16 を介してタイムベースタイマ 15、CPU 12、及び各周辺回路 13a~13c に供給される。CPU 12 はメインクロック信号 CLK を入力し、予め図示しない ROM 等に記憶されたプログラムを読み出す。そして、CPU 12 は、読み出したプログラムに基づいて動作し、その時々が必要となる各周辺回路 13a~13c に対して内部バス 16 を介してアドレス信号 ADR、及び、リード信号 R 又はライト信号 W を出力し、周辺回路 13a~13c をアクセスする。各周辺回路 13a~13c はカウンタ等よりなり、CPU 12 からのアクセスにそれぞれ応答し、供給されるメインクロック信号 CLK に基づいて動作する。

【0026】タイムベースタイマ 15 は、内部バス 16 に接続され、メインクロック信号 CLK を入力する。そして、タイムベースタイマ 15 は、その入力したメインクロック信号 CLK に基づいて複数（本実施の形態では 3 つ）のインターバルクロック信号（以下、単にインターバル信号という）ICK0~ICK2 を生成し、各周辺回路 13a~13c に供給する。

【0027】インターバル信号 ICK0~ICK2 は、それぞれ一定の時間間隔のパルス信号であって、それらの時間間隔は予め設定されている。尚、本実施の形態では、インターバル信号 ICK0 は 1 ミリ秒（ms）間隔、インターバル信号 ICK1 は 10 ms 間隔、インターバル信号 ICK2 は 100 ms 間隔に設定されている。

【0028】周辺回路 13a~13c は様々なタイマやカウンタ等であって、それぞれ異なるアドレスに予め設定されている。各周辺回路 13a~13c は、内部バス 16 を介して CPU 12 からのアドレス信号 ADR、データ信号 DATA をそれぞれ入力する。また、各周辺回路 13a~13c は、メインクロック信号 CLK とインターバル信号 ICK0~ICK2 をそれぞれ入力する。各周辺回路 13a~13c は、それぞれ設定されたアドレスに対応したアドレス信号 ADR を入力すると、メインクロック信号 CLK に基づいて動作する。

【0029】各周辺回路 13a~13c は、それぞれ内部回路 17、アクセス検出回路部 18、及び、クロック制御回路部 19 を備えている。尚、各周辺回路 13a~13c は、それぞれ内部回路 17 の動作が異なるだけであって、構成は同じであるので、周辺回路 13a について説明し、他の周辺回路 13b、13c についての説明を省略する。

【0030】内部回路 17 には、それぞれ異なるアドレスに設定されたレジスタ 17a、17b が備えられ、CPU 12 は、それらレジスタ 17a、17b に対してアクセスする。内部回路 17 は、例えばレジスタ 17a、

17b に格納されたデータに基づいて動作し、動作の結果をレジスタ 17a、17b に格納する。

【0031】アクセス検出回路部 18 は、CPU 12 からのアクセスの有無を検出するためのものであって、CPU 12 からのアクセスを検出し、内部回路 17 に対して制御信号を出力する。また、アクセス検出回路部 18 は、CPU 12 からのアクセスを検出し、クロック制御回路部 19 に対してイネーブル信号 CEN を出力する。

【0032】クロック制御回路部 19 は、内部回路 17 にメインクロック信号 CLK の供給と停止を行うためのものである。クロック制御回路部 19 は、イネーブル信号 CEN に基づいてメインクロック信号 CLK を内部クロック信号 SCLK として内部回路 17 に供給し、インターバル信号 ICK0~ICK2 に基づいて内部クロック信号 SCLK（メインクロック信号 CLK）の供給を停止する。

【0033】イネーブル信号 CEN は、CPU 12 から周辺回路 13a がアクセスされると、アクセス検出回路部 18 により生成されてクロック制御回路部 19 に入力される。従って、クロック制御回路部 19 は、周辺回路 13a が CPU 12 からアクセスされる、即ち、CPU 12 にとって必要になるとメインクロック信号 CLK を内部クロック信号 SCLK として内部回路 17 に供給する。そして、クロック制御回路部 19 は、インターバル信号 ICK0~ICK2 に基づいて内部クロック信号 SCLK の供給を停止する。

【0034】内部回路 17 は、内部クロック信号 SCLK が供給されると動作し、内部クロック信号 SCLK が供給されないときには動作を停止する。その内部クロック信号 SCLK は、CPU 12 から周辺回路 13a がアクセスされる、即ち、CPU 12 にとって必要になると供給され、インターバル信号 ICK0~ICK2 に基づいて供給が停止される。従って、内部回路 17 は、CPU 12 にとって必要になると動作する。そして、内部回路 17 は、インターバル信号 ICK0~ICK2 に基づいて動作を停止する。

【0035】次に、アクセス検出回路部 18 の構成について説明する。図 5 に示すように、アクセス検出回路部 18 は、デコーダ 21、アンド回路 22~25、及び、オア回路 26 により構成されている。デコーダ 21 には、内部バス 16 を介して CPU 12 からのアドレス信号 ADR が入力される。そして、デコーダ 21 は、内部回路 17 のアドレスに対応したアドレス信号 ADR を入力すると、制御信号 R1、R2 を出力する。尚、制御信号 R1、R2 は、内部回路 17 に内蔵されたレジスタ 17a、17b にそれぞれ対応するアドレス信号 ADR に基づいて生成され、出力される。

【0036】制御信号 R1 はアンド回路 22、23 に入力され、制御信号 R2 はアンド回路 24、25 に入力される。また、アンド回路 22、24 には、CPU 12 から

らのリード信号Rが入力され、アンド回路23、25には、CPU12からのライト信号Wが入力される。そして、アンド回路22は、レジスタ17aに対するリード制御信号R1Rを出力し、アンド回路23は、レジスタ17aに対するライト制御信号R1Wを出力する。アンド回路24は、レジスタ17bに対するリード制御信号R2Rを出力し、アンド回路25は、レジスタ17bに対するライト制御信号R2Wを出力する。それら制御信号R1R～R2Wは、オア回路26に入力され、オア回路26からそれら制御信号R1R～R2Wに基づいた1パルスのイネーブル信号CENが生成され出力される。

【0037】即ち、イネーブル信号CENは、周辺回路13aのアドレスに対応したアドレス信号ADRと、リード信号R又はライト信号Wとに基づいて生成される。周辺回路13aのアドレスに対応したアドレス信号ADRは、CPU12がその周辺回路13aをアクセスするために出力される。従って、イネーブル信号CENは、周辺回路13aがCPU12からアクセスされる毎に生成され、出力される。

【0038】次に、クロック制御回路部19について説明する。図3に示すように、クロック制御回路部19は、内部バス16を介してメインクロック信号CLK及びインターバル信号ICK0～ICK2を入力する。また、クロック制御回路部19は、アクセス検出回路部18からイネーブル信号CENを入力する。クロック制御回路部19は、制御レジスタ31、選択部32、カウント部33、及び、制御部34を備えている。制御レジスタ31は、周辺回路13aの動作時間を設定するためのものであって、本実施の形態では2ビット構成となっており、データT1、T0が記憶される。それらデータT1、T0は、予め設定され、電源投入時にCPU12のよって書き込まれる。

【0039】選択部32は、制御レジスタ31に記憶されたデータT1、T0と、インターバル信号ICK0～ICK2を入力する。選択部32は、3入力端子を有するアンド回路35～37、インバータ回路38、39、3入力端子を有するオア回路40、及び、2入力端子を有するナンド回路41により構成されている。クロック制御回路部19に入力されたインターバル信号ICK0～ICK2は、それぞれアンド回路35～37に入力される。制御レジスタ31に記憶されたデータT1は、アンド回路35、36にインバータ回路48を介して入力されるとともに、アンド回路37及びナンド回路41に直接入力される。制御レジスタ31に記憶されたデータT0は、アンド回路35、37にインバータ回路39を介して入力されるとともに、アンド回路36及びナンド回路41に直接入力される。アンド回路35～37の出力端子はオア回路40の入力端子に接続されている。

【0040】選択部32は、データT1、T0に基づいて、そのデータT1、T0が「0、0」「0、1」

「1、0」の場合にインターバル信号ICK0～ICK2のうちの1つを選択し、その選択した信号をカウント部33に出力する。例えば、データT1、T0が「0、0」の場合にインターバル信号ICK0を、データT1、T0が「0、1」の場合にインターバル信号ICK1を、データT1、T0が「1、0」の場合にインターバル信号ICK2を出力する。この時、ナンド回路41からはHレベルの信号がカウント部33に出力される。また、選択部32は、データT1、T0が「1、1」の場合、オア回路40及びナンド回路41からLレベルの信号がカウント部33に出力される。

【0041】カウント部33は、Dフリップフロップ（以下、DFFという）42、43、インバータ回路44、及び、2入力端子を有するアンド回路45により構成されている。DFF42、43はリセット端子を有し、それらリセット端子にはインバータ回路44を介してイネーブル信号CENが入力される。従って、DFF42、43は、1パルスのイネーブル信号CENが入力されると、そのイネーブル信号CENに基づいてリセットされる。

【0042】DFF42のクロック入力端子CKには選択部32により選択されたインターバル信号ICK0～ICK2が入力される。DFF42の反転出力端子QXはデータ入力端子Dに接続されるとともに、DFF43のクロック入力端子CKに接続されている。DFF43の反転出力端子QXはデータ入力端子Dに接続されている。DFF43の出力端子Qはアンド回路45の一方の入力端子に接続され、アンド回路45の他方の入力端子は選択部32のナンド回路41の出力端子に接続されている。

【0043】DFF42、43は、選択部32により選択されたインターバル信号ICK0～ICK2の立ち上がりエッジをカウントするためのものである。図4に示すように、DFF42、43は、イネーブル信号CENによりリセットされ反転出力端子QXからそれぞれHレベルの信号を出力する。そして、選択部32によりインターバル信号ICK0が選択された場合、DFF43の出力端子Qからは、インターバル信号ICK0の立ち上がりを2回カウントする毎に反転した信号がアンド回路45に出力される。アンド回路45は、DFF43からの信号と、選択部32のナンド回路41からの信号を入力する。そのナンド回路41からの信号は、制御レジスタ31のデータT1、T0が「1、1」の場合にLレベルとなり、それ以外の場合はHレベルとなる。従って、アンド回路45から出力される信号は、データT1、T0が「1、1」の場合にLレベルが出力され、それ以外の場合には、選択部32により選択されたインターバル信号ICK0～ICK2の立ち上がりを2回カウントする毎に反転される信号が出力される。

【0044】制御部34は、オア回路46、RSフリッ

ブフロップ（以下、RSFFという）47、及び、アンド回路48により構成されている。オア回路46は2入力端子を有し、一方の入力端子にはリセット信号RSTが入力され、他方の入力端子にはカウント部33からの信号が入力される。オア回路46の出力端子は、RSFF47のリセット入力端子に接続され、セット入力端子にはカウント制御部34からのイネーブル信号CENが入力される。RSFF47の出力端子Qはアンド回路48の一方の入力端子に接続され、他方の入力端子にはメインクロック信号CLKが入力される。尚、リセット信号RSTは、マイクロコントローラ11全体をリセットするための信号であって、コントローラ11外部から入力される。

【0045】図4に示すように、RSFF47は、リセット信号RSTに基づいて出力端子QからLレベルの信号を出力する。その結果、アンド回路48は、メインクロック信号CLKに係わらず、Lレベルの内部クロック信号SCLKを出力する。

【0046】RSFF47は、そのセット端子に入力されるイネーブル信号CENに基づいて出力端子QからHレベルの信号を出力する。すると、アンド回路48からは、メインクロック信号CLKが内部クロック信号SCLKとして出力される。

【0047】次に、RSFF47は、そのリセット入力端子Rにカウント部33から入力する信号がLレベルに立ち下がると、リセットして出力端子QからLレベルの信号を出力する。すると、アンド回路48は、メインクロック信号CLKの出力を停止し、Lレベルの内部クロック信号SCLKを出力する。

【0048】尚、制御レジスタ31に記憶されたデータT1、T0が「1、1」の場合、RSFFのリセット入力端子にはカウント部33から常にLレベルの信号が入力される。すると、RSFF47は、1パルスのイネーブル信号CENを入力すると、出力端子QからHレベルの信号を出力し、そのレベルを保持する。従って、アンド回路48からは、イネーブル信号CENが入力されてからメインクロック信号CLKが内部クロック信号SCLKとして連続して出力されることになる。

【0049】即ち、制御レジスタ31に記憶されたデータT1、T0が「1、1」以外の場合、クロック制御回路部19は、1パルスのイネーブル信号CENを入力すると、入力するメインクロック信号CLKを内部クロック信号SCLKとして出力する。そして、クロック制御回路部19は、制御レジスタ31に記憶されたデータT1、T0に基づいて選択したインターバル信号ICK0～ICK2の立ち上がりを2回カウントすると、メインクロック信号CLKの出力を停止する。

【0050】また、制御レジスタ31に記憶されたデータT1、T0が「1、1」の場合、クロック制御回路部19は、イネーブル信号CENを入力した後、常に入力

したメインクロック信号CLKを内部クロック信号SCLKとして出力する。

【0051】内部回路17は、内部クロック信号SCLKに基づいて動作する。従って、内部回路17は、1パルスのイネーブル信号CENが入力されてから、インターバル信号ICK0～ICK2の立ち上がりが2回カウントされるまで動作する。イネーブル信号CENは、CPU12からアクセスされる毎に1パルス出力される。従って、内部回路17は、CPU12からアクセスされる毎に、インターバルクロック信号ICK0～ICK2に基づいた時間だけ動作する。

【0052】尚、制御レジスタ31に記憶されるデータT1、T0は、内部回路17が1回動作するのに十分な時間だけ内部クロック信号SCLKが供給されるように各周辺回路13a毎に予め設定され、ROMに記憶されている。そして、マイクロコントローラ11の起動時にCPU12によってROMから読み出され、制御レジスタ31に格納されるようになっている。

【0053】次に、上記のように構成されたマイクロコントローラ11の作用を説明する。マイクロコントローラ11に駆動電源が供給されると、メインクロック発生回路14は、発振してメインクロック信号CLKを生成し出力する。タイムベースタイマ15は、メインクロック信号CLKを入力し、そのメインクロック信号CLKに基づいてインターバル信号ICK0～ICK2を生成し、出力する。

【0054】次に、マイクロコントローラ11にリセット信号RSTが入力されると、そのリセット信号RSTに基づいてCPU12はリセットした後、初期設定を行う。この初期設定において、CPU12は、図示しないROMに記憶されたプログラムを順次実行する。このとき、CPU12は、各周辺回路13a～13cの制御レジスタ31に対して、各周辺回路13a～13cに対応してROMに記憶されたデータT1、T0を書き込む。

【0055】また、各周辺回路13a～13cは、リセット信号RSTに基づいてリセットする。この時、各周辺回路13a～13cのクロック制御回路部19は、リセット信号RSTに基づいて制御部34のRSFF47をリセットし、内部クロック信号SCLKを供給しない。そのため、内部回路17は、動作しない。

【0056】次に、CPU12は、プログラムに従って例えば周辺回路13aを動作させようとする。この時、CPU12は、周辺回路13aをアクセスするために、その周辺回路13aのアドレスに対応したアドレス信号ADRと、リード信号R又はライト信号Wを出力する。

【0057】周辺回路13aのアクセス検出回路部18は、その周辺回路13aのアドレス信号ADRと、リード信号R又はライト信号Wとに基づいて制御信号R1R～R2Wを生成し、内部回路17に出力する。また、アクセス検出回路部18は、1パルスのイネーブル信号C

ENを生成し、クロック制御回路部19に出力する。

【0058】クロック制御回路部19は、アクセス検出回路部18から1パルスのイネーブル信号CENを入力すると、入力したメインクロック信号CLKを内部クロック信号SCLKとして内部回路17に供給する。そして、クロック制御回路部19は、入力したインターバルクロック信号ICK0～ICK2に基づいた時間経過すると、内部クロック信号SCLKの供給を停止する。

【0059】即ち、クロック制御回路部19は、1パルスのイネーブル信号CENにตอบสนองして、インターバルクロック信号ICK0～ICK2に基づいた時間だけ内部クロック信号SCLKを内部回路17に供給する。内部回路17は、その内部クロック信号SCLKと、前記した制御信号R1R～R2Wとに基づいて動作する。イネーブル信号CENは、CPU12からアクセスされる毎に1パルス出力される。従って、内部回路17は、CPU12からアクセスされる毎に、インターバルクロック信号ICK0～ICK2に基づいた時間だけ動作する。その後、内部回路17は、次にCPU12からアクセスされるまで、動作しない。従って、内部回路17は、CPU12から必要な時間だけ動作する。その結果、CPU12が必要としない間、内部回路17は動作しないので、その分だけ、周辺回路13aの消費電力を低減することができる。

【0060】このとき、他の周辺回路13b、13cは、それらのアドレスに対応したアドレス信号ADRを入力しないので、内部回路17には内部クロック信号SCLKは供給されない。従って、他の周辺回路13b、13cの内部回路17は動作しない。その結果、他の周辺回路13b、13cが動作しない分だけ、マイクロコントローラ11の消費電力を低減することができる。

【0061】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) マイクロコントローラ11の各周辺回路13a～13cにそれぞれアクセス検出回路部18を設け、CPU12からアクセスされてからインターバル信号ICK0～ICK2に基づいた時間だけ内部クロック信号SCLKを内部回路17に供給し、内部回路17をその内部クロック信号SCLKが供給される間だけ動作させるようにした。その結果、CPU12が必要としない周辺回路13a～13cは動作しないので、その分だけ、マイクロコントローラ11の消費電力を低減することができる。

【0062】(2) CPU12は、プログラムに従って各周辺回路13a～13cをアクセスするだけで、各周辺回路13a～13cは、必要となる時間だけ動作する。その結果、従来のように、プログラムに基づいて各周辺回路13a～13cに対してクロックの供給・停止を制御する必要がないので、その分、CPU12の負荷を減らすことができる。そのため、CPU12の動作ク

ロックを上げる必要がないので、消費電力の増加を抑えることができる。

【0063】(第2の実施の形態)以下、本発明を具体化した第2の実施の形態を図6～図8に従って説明する。尚、説明の便宜上、図2と同様の構成については同一の符号を付してその説明を一部省略する。

【0064】図6に示すように、本実施の形態のマイクロコントローラ51には、シリアル通信用周辺回路(以下、単にシリアル周辺回路という)52が設けられている。シリアル周辺回路52は、内部バス16に接続され、CPU12からアクセスされる。また、シリアル周辺回路52は、マイクロコントローラ51に設けられたシリアル入力端子SINとシリアル出力端子SOUTに接続されている。尚、図示しないが、マイクロコントローラ51は、第1の実施の形態のマイクロコントローラ11と同様に、カウンタ等の周辺回路13a～13cを備えている。

【0065】シリアル周辺回路52は、非同期のシリアル通信(例えば、UART(Universal Asynchronous Receiver/Transmitter))であって、送信回路部52aと受信回路部52bとから構成されている。送信回路部52aは、CPU12からアクセスされると動作し、シリアル出力端子SOUTを介してシリアルデータを送信する。受信回路部52bは、シリアル入力端子SINからシリアルデータが入力されると動作し、シリアルデータを受信する。そして、受信回路部52bは、シリアルデータの受信終了によりインタラプト等が発生させ、CPU12に知らせる。

【0066】送信回路部52aは、アクセス検出回路部53、クロック制御回路部54、送信クロック作成回路部55、及び、シリアルデータ送信回路部56により構成されている。アクセス検出回路部53は、デコーダ57及びアンド回路58により構成され、デコーダ57に入力されるアドレス信号ADRとアンド回路58に入力されるライト信号Wとに基づいて、1パルスのイネーブル信号CEN1を生成する。そして、アクセス検出回路部53は、生成したイネーブル信号CEN1をクロック制御回路部54及びシリアルデータ送信回路部56に出力する。クロック制御回路部54は、本実施の形態では、オア回路59、RSFF60、及び、アンド回路61よりなる制御部62のみにより構成されている。これは、送信回路部52aをシリアルデータを転送する間だけ動作させればよいので、動作する時間を設定する必要がないからである。制御部62を構成するオア回路59の一方の入力端子にはメインクロック信号CLKが入力され、他方の入力端子はシリアルデータ送信回路部56に接続され後述する送信終了信号SENDを入力する。オア回路59の出力端子はRSFF60のリセット入力端子に接続され、RSFF60のセット入力端子にはアクセス検出回路部53からのイネーブル信号CEN1が入力

される。RSFF60は、そのセット入力端子に入力されるイネーブル信号CEN1の立ち上がりに基づいてHレベルの信号を出力端子Qから出力し、リセット入力端子Rに入力される信号の立ち上がりに基づいてLレベルの信号を出力端子から出力する。そして、リセット入力端子Rに入力される信号は、送信終了信号SENDとリセット信号RSTとの論理和である。従って、図7に示すように、クロック制御回路部54は、1パルスのイネーブル信号CEN1を入力するとメインクロック信号CLKを内部クロック信号SCLK1として送信クロック作成回路部55に供給し、送信終了信号SENDを入力すると内部クロック信号SCLK1の供給を停止する。

【0067】送信クロック作成回路部55は、内部クロック信号SCLK1が供給されている間だけ動作して、その内部クロック信号SCLK1に基づいて予め設定された周波数の送信クロック信号CK1を生成し、シリアルデータ送信回路部56に出力する。

【0068】シリアルデータ送信回路部56には、CPU12から予め送信するための送信データが書き込まれる。次に、シリアルデータ送信回路部56は、アクセス検出回路部53からイネーブル信号CEN1を入力すると、送信クロック作成回路部55から入力する送信クロック信号CK1に同期して送信データをシリアル出力端子SOUTを介して所定のフォーマットのシリアルデータとして送信する。そして、シリアルデータ送信回路部56は、シリアルデータの送信を終了すると、送信終了信号SENDをクロック制御回路部54に出力する。

【0069】クロック制御回路部54は、送信終了信号SENDを入力すると、送信クロック作成回路部55に内部クロック信号SCLK1の供給を停止する。従って、送信クロック作成回路部55及びシリアルデータ送信回路部56は、CPU12によりアクセスされてから送信終了まで、即ち、送信に必要な間だけ動作する。その結果、送信クロック作成回路部55及びシリアルデータ送信回路部56は、送信が必要ない間がそれらの動作が停止するので、その分だけ送信回路部52aの消費電力が低減される。

【0070】受信回路部52bは、クロック制御回路部63、受信クロック作成回路部64、シリアルデータ受信回路部65、及び、スタートビット検出回路部62により構成されている。シリアル入力端子SINを介して入力されたシリアルデータは、スタートビット検出回路部62及びシリアルデータ受信回路部65に入力される。

【0071】スタートビット検出回路部62は、図8に示すように、入力されたシリアルデータのスタートビットを検出し、1パルスのイネーブル信号CEN2を生成しクロック制御回路部63に出力する。

【0072】クロック制御回路部63は、送信回路部52aのクロック制御回路部54と同様に、オア回路6

6、RSFF67、及び、アンド回路68よりなる制御部69のみで構成されている。クロック制御回路部63にはメインクロック信号CLKが入力される。クロック制御回路部63は、スタートビット検出回路部62に接続され、イネーブル信号CEN2を入力する。また、クロック制御回路部63は、シリアルデータ受信回路部65に接続され、受信終了信号RENDを入力する。そして、クロック制御回路部63は、イネーブル信号CEN2を入力すると、メインクロック信号CLKを内部クロック信号SCLK2として受信クロック作成回路部64に供給し、受信終了信号RENDを入力すると内部クロック信号SCLK2の供給を停止する。

【0073】受信クロック作成回路部64は、内部クロック信号SCLK2が供給されると、その内部クロック信号SCLK2に基づいて動作する。そして、受信クロック作成回路部64は、供給される内部クロック信号SCLK2に基づいて、予め設定された周波数の受信クロック信号CK2を生成し、シリアルデータ受信回路部65に出力する。

【0074】シリアルデータ受信回路部65は、受信クロック信号CK2が供給されると、その受信クロック信号CK2に基づいて動作する。シリアルデータ受信回路部65は、受信クロック信号CK2に同期してシリアルデータを順次入力し、そのシリアルデータを受信データとして記憶する。そして、シリアルデータ受信回路部65は、図8に示すように、シリアルデータのストップビットを検出すると、1パルスの受信終了信号RENDを生成しクロック制御回路部63に出力する。クロック制御回路部63は、入力した受信終了信号RENDにตอบสนองして内部クロック信号SCLK2の供給を停止する。すると、受信クロック作成回路部64は、内部クロック信号SCLK2が入力されなくなるので、受信クロック信号CK2の供給を停止して動作を停止する。また、シリアルデータ受信回路部65は、受信クロック信号CK2が入力されなくなるので、動作を停止する。

【0075】従って、受信クロック作成回路部64及びシリアルデータ受信回路部65は、シリアルデータが入力されてからストップビットが検出されるまで、即ち、受信に必要な間だけ動作する。その結果、受信クロック作成回路部64及びシリアルデータ受信回路部65は、受信が必要ない間それらの動作が停止するので、その分だけ消費電力が低減される。

【0076】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 送信回路部52aに、アクセス検出回路部53と、クロック制御回路部54とを備え、送信クロック信号作成回路部55とシリアルデータ送信回路部56とをCPU12によりアクセスされてから送信終了まで、即ち、送信に必要な間だけ動作させるようにした。その結果、送信クロック作成回路部55及びシリアルデータ送

信回路部56は、送信が必要ない間がそれらの動作が停止するので、その分だけ送信回路部52aの消費電力を低減することができる。

【0077】(2) 受信回路部52bにスタートビット検出回路部62とクロック制御回路部63とを備え、受信クロック作成回路部64とシリアルデータ受信回路部65とをシリアルデータが入力されてからストップビットが検出されるまで、即ち、受信に必要な間だけ動作させるようにした。その結果、受信クロック作成回路部64及びシリアルデータ受信回路部65は、受信が必要ない間それらの動作が停止するので、その分だけ消費電力を低減することができる。

【0078】尚、本発明は前記実施の形態の他、以下の態様で実施するようにしてもよい。

(1) 上記第1の実施の形態では、制御レジスタ31に「0」又は「1」のデータT1、T0を記憶させて各周辺回路13a~13cの動作時間を設定するようにしたが、製造工程において各周辺回路13a~13c毎に一義的に「0」又は「1」に設定するようにしてもよい。

【0079】例えば、図9に示すように、マイクロコントローラを製造するためのマスタスライスにおいて、パッドP1、P2を形成し、そのパッドP1、P2とクロック制御回路19の選択部32を構成するアンド回路35~37、インバータ回路38、39、及び、ナンド回路41の入力端子に接続する。そして、配線工程において、パッドP1、P2をアルミ等の配線L1、L2によって予め定めたデータT1、T0に応じて外部電源電圧VCC又は低電位側電源VSSに接続することで各周辺回路13a~13c毎に一義的に「0」又は「1」を決定するようにしてもよい。この構成によれば、制御レジスタ31を電源投入時に設定する必要がないので、マイクロコントローラに電源を投入した時の動作を簡略化することができ、すぐに使用可能となる。

【0080】また、図10に示すように、制御レジスタ31の各ビットをそれぞれソース端子とゲート端子とを互いに接続するとともに、高電位側電源Vccと低電位側電源Vssとの間に直列接続したエンハンスメント型のNチャネルMOSトランジスタN1~N4に置き換える。そして、マイクロコントローラを製造するためのマスタスライスに対して、データT1、T0に応じて高電位側電源Vcc側又は低電位側電源Vss側のNチャネルMOSトランジスタN1~N4をイオン注入工程においてディプレッション型にすることで各周辺回路13a~13c毎に一義的に「0」又は「1」を決定するようにしてもよい。

【0081】更に、レジスタT1、T2に代えて不揮発性メモリを用いて「0」又は「1」を記憶させ、各周辺回路13a~13cの動作時間を設定するようにしてもよい。この構成によれば、マイクロコントローラ11の電源を切っても設定は消失しないので、マイクロコント

ローラ11に電源を投入した時の動作を簡略化することが可能となる。EEPROM等の書き換え可能な不揮発性メモリを用いた場合には必要に応じて各周辺回路13a~13cの動作時間の設定を変更することが可能となる。また、OTPROM等の1回のみ書き込み可能な不揮発性メモリを用いた場合には設定の変更が不可能となるがマイクロコントローラ11を使用するユーザーの必要に応じて設定を行うことができるので、マイクロコントローラ11をユーザーに対応してそれぞれ製造する手間を省くことが可能となる。

【0082】(2) 上記第2の実施の形態では、周辺回路としてシリアル通信用周辺回路51に具体化したのが、装置外部から入力される信号に応答して動作させる周辺回路、例えばパラレル通信用周辺回路等に具体化して実施してもよい。

【0083】(3) 上記第1の実施の形態では、各周辺回路13a~13cの内部回路17にレジスタ17a、17bを備えたが、レジスタ17a、17bのない内部回路を備えた周辺回路に具体化して実施してもよい。その際にも、周辺回路は、CPU12からのアクセスに基づいて動作する。

【0084】(4) 上記第1の実施の形態では、クロック制御回路部19に制御レジスタ31を備え、その制御レジスタ31に記憶されたデータT1、T0に基づいてインターバル信号ICK0~ICK2を選択するようにしたが、制御レジスタ31を内部回路17に備えるようにしてもよい。また、制御レジスタ31を内部回路17のレジスタ17a、17bのうち的一方の2ビットを利用するようにしてもよい。

【0085】(5) 上記第1の実施の形態では、クロック制御回路部19は、カウント部33により選択したインターバル信号ICK0~ICK2の立ち上がりエッジを2回カウントする間、制御部34からメインクロック信号CLKを内部クロック信号SCLKとして内部回路17に供給するようにしたが、1回の立ち上がりエッジ、又は3回以上複数の立ち上がりエッジをカウントする間だけ内部クロック信号SCLKを供給するようにしてもよい。また、立ち上がりエッジに代えて、立ち下がりエッジをカウントするようにしてもよい。

【0086】

【発明の効果】以上詳述したように、本発明によれば、不要な周辺回路の動作を停止させて低消費電力化を図ることが可能な半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図。

【図2】 第1の実施の形態のマイクロコントローラを示すブロック図。

【図3】 クロック制御回路部の回路図。

【図4】 クロック制御回路部の動作を説明するための

波形図。

【図5】 アクセス検出回路部の回路部。

【図6】 第2の実施の形態のマイクロコントローラを示すブロック図。

【図7】 シリアル通信用周辺回路の送信動作を示す波形図。

【図8】 シリアル通信用周辺回路の受信動作を示す波形図。

【図9】 別のクロック制御回路部を示す一部回路図。

【図10】 別のクロック制御回路部を示す一部回路図。

【図11】 従来のマイクロコントローラを示すブロッ

ク図。

【符号の説明】

1 半導体集積回路装置

2 CPU

3 メインクロック発生回路

4a~4c 周辺回路

5 内部バス

6 アクセス検出回路部

7 クロック制御回路部

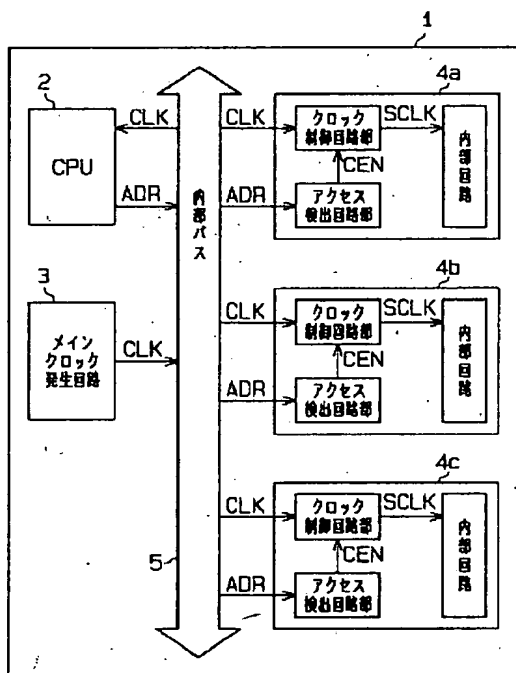
CLK メインクロック信号

SCLK 内部クロック信号

CEN クロックイネーブル信号

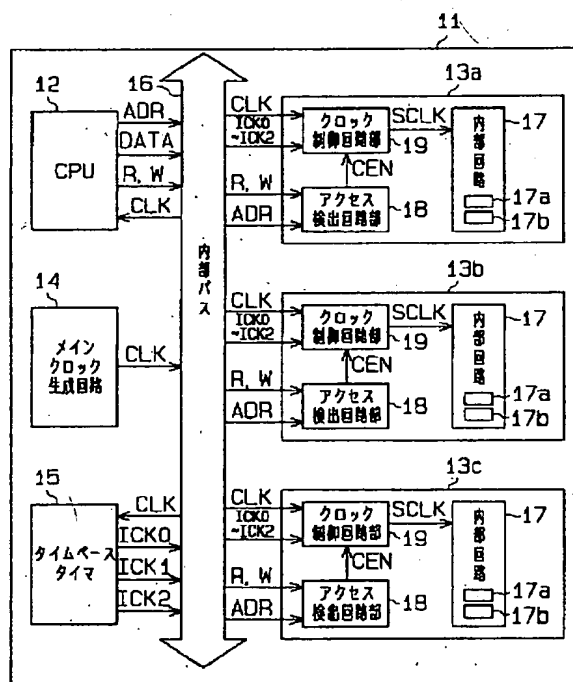
【図1】

本発明の原理説明図



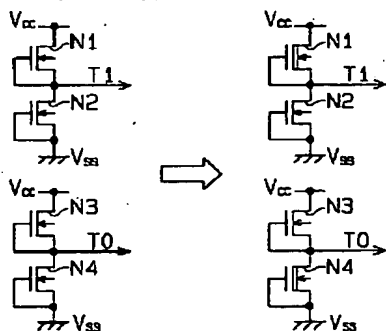
【図2】

第1の実施の形態のマイクロコントローラを示すブロック図

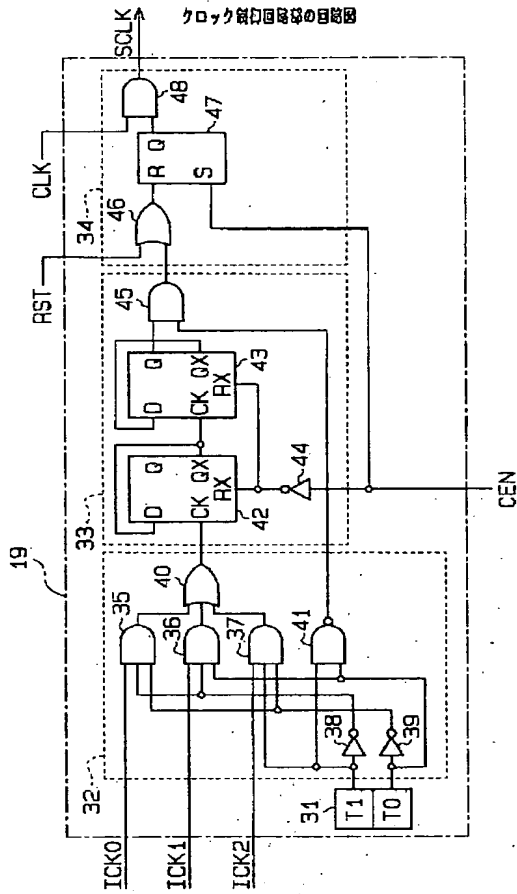


【図10】

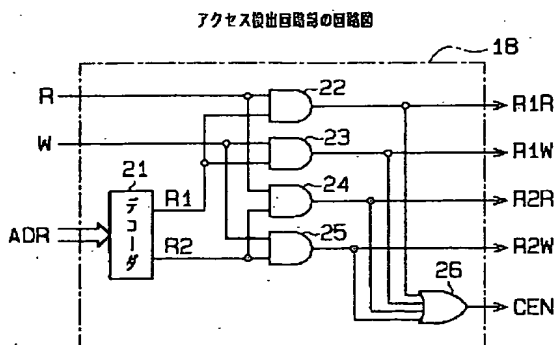
別のクロック制御回路部を示す一部回路図



【図3】

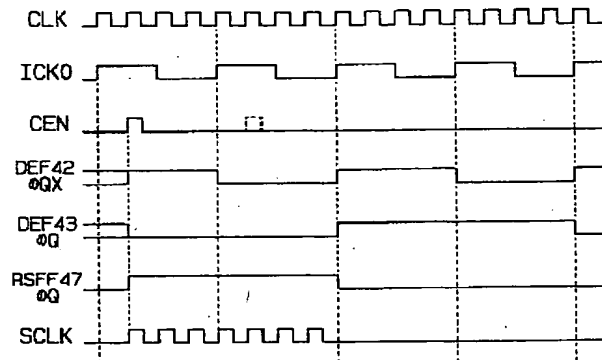


【図5】



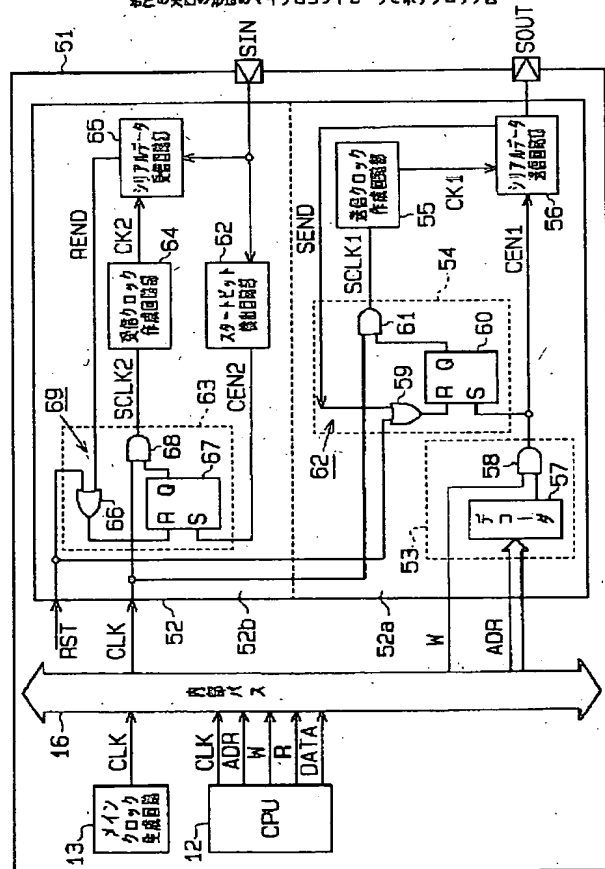
【図4】

クロック制御回路の動作を説明するための波形図



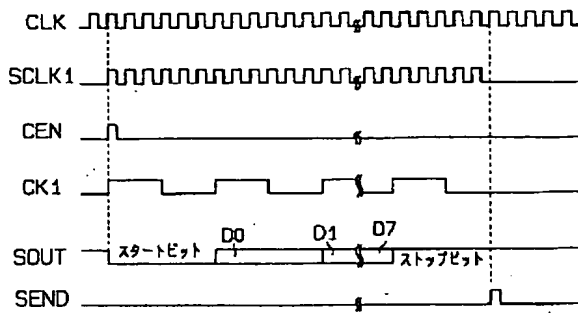
【図6】

第2の実施の形態のマイクロコントローラを示すブロック図



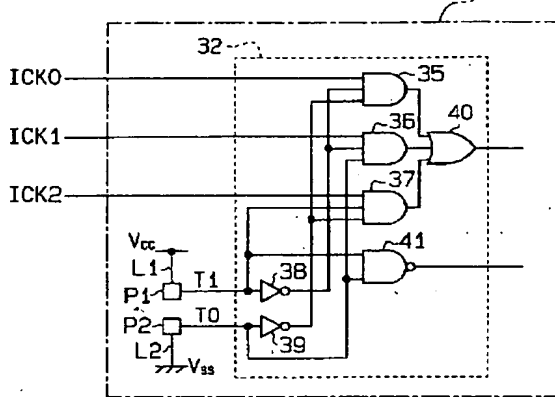
【図 7】

シリアル通信用周辺回路の送信動作を示す波形図



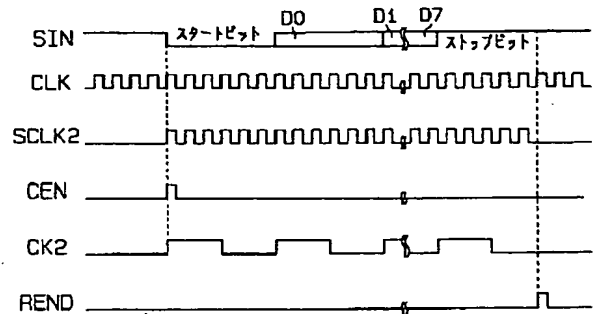
【図 9】

別のクロック制御回路部を示す一回路図



【図 8】

シリアル通信用周辺回路の受信動作を示す波形図



【図 1.1】

従来のマイクロコントローラを示すブロック図

